

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-226960

(43) 公開日 平成8年(1996)9月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 33/09		9307-2G	G 0 1 R 33/06	R
H 0 1 L 43/08			H 0 1 L 43/08	Z

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願平7-283070

(22) 出願日 平成7年(1995)10月31日

(31) 優先権主張番号 3 3 4 6 5 9

(32) 優先日 1994年11月4日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 モーリス・ムサ・ドベック

アメリカ合衆国カリフォルニア州、サン・
カルロス、バイオレット・レーン 2

(74) 代理人 弁理士 合田 潔 (外2名)

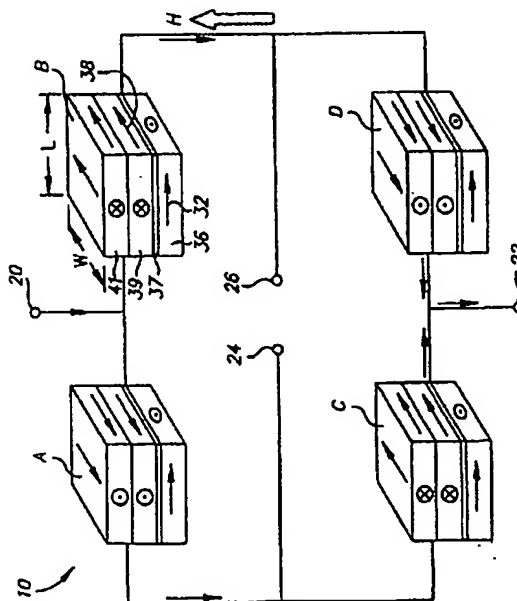
最終頁に続く

(54) 【発明の名称】 磁界センサー及びその製造方法

(57) 【要約】

【課題】 SVセンサーを利用したブリッジ回路磁界セン
サーを提供する。

【解決手段】 本発明の磁界センサーは、基板と、前記基
板上に形成された第1、第2、第3及び第4のスピンバ
ルブ素子 (A～D) と、前記基板上に形成され且つ前記
4つのスピンバルブ素子と相互接続する導電体とを備え
る。前記スピンバルブ素子の各々は、磁界が付加されな
いとき良好な磁化軸を有する自由な強磁性層 (36)、前
記自由な強磁性層に隣接する非磁性スペーサ層 (37)、
及び前記スペーサ層に隣接するピン止め強磁性層 (39)
を有し、その磁化軸はある角度で前記自由な強磁性層の
良好な磁化軸にピン止めされ、前記4つの自由な層の良
好な磁化軸は実質的に互いに平行であり、そして前記4
つのピン止め層の磁化軸は実質的に互いに平行又は逆平
行である。



【特許請求の範囲】

【請求項1】磁界センサーであって、
基板と、

前記基板上に形成された第1、第2、第3及び第4のス
ピンバルブ素子と、

前記基板上に形成され且つ前記4つのスピンバルブ素子
と相互接続する導電体とを備え、

前記スピンバルブ素子の各々は(a) 磁界が付加されな
いとき良好な磁化軸を有する自由な強磁性層、(b) 前記自
由な強磁性層に隣接する非磁性スペーサ層及び(c) 前記
10 スペーサ層に隣接するピン止め強磁性層を有し、その磁
化軸は前記自由な強磁性層の良好な磁化軸にある角度で
ピン止めされ、前記4つの自由な強磁性層の良好な磁化
軸は実質的に互いに平行であり、そして前記4つのピン
止め強磁性層の磁化軸は実質的に互いに平行又は逆平行
である磁界センサー。

【請求項2】前記導電体は隣接するスピンバルブ素子の
間に置かれた端子リードを有し、前記第1と第4のスピン
バルブ素子はそれらのピン止め強磁性層の磁化軸が互
いに平行に置かれ、前記第2と第3のスピンバルブ素子
はそれらのピン止め強磁性層の磁化軸が互いに平行に置
かれ且つ前記第1と第4のスピンバルブ素子のピン止め
20 強磁性層の磁化軸に逆平行であり、更に前記第1と第2
のスピンバルブ素子の間の端子リード及び前記第3と第
4のスピンバルブ素子の間の端子リードに接続された電
源を備え、そして前記第1と第3のスピンバルブ素子の
間の端子リード及び前記第2と第4のスピンバルブ素子
の間の端子リードはセンスされる磁界の大きさを測定す
るセンサーの出力端子リードを形成する、請求項1に記
載の磁界センサー。

【請求項3】前記導電体は隣接するスピンバルブ素子の
間に置かれた端子リードを有し、前記第1と第3のスピン
バルブ素子はそれらのピン止め強磁性層の磁化軸が互
いに平行に置かれ、前記第2と第4のスピンバルブ素子
はそれらのピン止め強磁性層の磁化軸が互いに平行に置
かれ且つ前記第1と第3のスピンバルブ素子のピン止め
強磁性層の磁化軸に逆平行であり、更に前記第1と第2
のスピンバルブ素子の間の端子リード及び前記第3と第
4のスピンバルブ素子の間の端子リードに接続された電
源を備え、そして前記第1と第3のスピンバルブ素子の
間の端子リード及び前記第2と第4のスピンバルブ素子
の間の端子リードはセンスされる磁界の勾配を測定する
40 センサーの出力端子リードを形成する、請求項1に記載
の磁界センサー。

【請求項4】前記導電体は隣接するスピンバルブ素子の
間に置かれた端子リードを有し、第1と第2のスピンバ
ルブ素子の間及び第3と第4のスピンバルブの間の端子
リードは第1のセットのリードを形成し、第1と第3の
スピンバルブ素子の間及び第2と第4のスピンバルブの
間の端子リードは第2のセットのリードを形成し、そし

て更に第1又は第2のセットのリードの間に前記センサ
ーに接続された入力電源を備えることにより、前記入力
電源に接続されなかった前記第2又は第1のセットのリ
ードの間に測定された出力電圧はセンスされる磁界の測
定値を与える、請求項1に記載のセンサー。

【請求項5】前記基板上に形成され、そして前記センサ
ーの製作中に前記スピンバルブ素子のピン止め強磁性層
の磁化軸を方向付ける固定電流の伝導のために前記スピ
ンバルブ素子と位置合わせされた第2の導電体と、前記
10 スピンバルブ層及び前記第2の導電体の間の絶縁層とを
更に備える、請求項1に記載の磁界センサー。

【請求項6】前記第2の導電体は前記センサーの製作後
に測定される電流を受取るための端子を有した電流スト
ラップであり、そして前記電流ストラップを流れる電流
に関連した磁界を前記磁界センサーでセンスすることに
より前記電流ストラップを流れる電流が測定される、請
求項5に記載の磁界センサー。

【請求項7】前記スピンバルブ素子の各々は、前記ピン
止め強磁性層の磁化を所望の方向にピン止めするため
20 に、前記ピン止め強磁性層に隣接して接触する反強磁性
材料の交換バイアス層を更に含む、請求項1に記載の磁
界センサー。

【請求項8】測定される電流を受取るために前記基板上
に形成された電流ストラップを更に有し、そして前記電
流ストラップを流れる電流に関連した磁界をセンスする
ことにより前記電流ストラップを流れる電流が測定され
る、請求項1に記載の磁界センサー。

【請求項9】外部磁界に応答して出力電圧を生成するた
めのブリッジ回路磁界センサーであって、

30 基板と、

前記基板上に形成された第1、第2、第3及び第4のス
ピンバルブ素子と、

前記基板上に形成され且つ前記4つのスピンバルブ素子
と相互接続する第1の導電体と、

前記基板上に形成された第2の導電体と、

前記スピンバルブ素子及び前記第2の導電体の間の絶縁
層とを備え、

前記スピンバルブ素子の各々は(a) 磁界が付加されな
いとき良好な磁化軸を有する自由な強磁性層、(b) 前記自
由な強磁性層に隣接する非磁性スペーサ層及び(c) 前記
40 スペーサ層に隣接するピン止め強磁性層を有し、その磁
化軸は前記自由な強磁性層の良好な磁化軸にある角度で
ピン止めされ、前記4つの自由な強磁性層の良好な磁化
軸は実質的に互いに平行であり、そして前記4つのピン
止め強磁性層のうちの2つの磁化の方向は実質的に互い
に平行であり、且つ他の2つの前記ピン止め強磁性層の
磁化の方向と実質的に逆平行であり、

前記第1の導電体は隣接するスピンバルブ素子の間に置
かれた端子リードを有し、前記第1と第2のスピンバル
ブ素子の間、及び前記第3と第4のスピンバルブ素子の

間の端子リードは第1のセットの端子リードを形成し、そして前記第1と第3のスピンバルブ素子の間、及び前記第2と第4のスピンバルブ素子の間の端子リードは第2のセットの端子リードを形成し、前記第2の導電体は前記センサーの製作中に前記スピンバルブ素子の前記ピン止め強磁性層の磁化の方向を決める固定電流の伝導のために前記スピンバルブ素子と位置合わせされる磁界センサー。

【請求項10】前記第2の導電体は前記センサーの製作後に測定される電流を受取るための端子を有した電流ストラップであり、そして前記電流ストラップを流れる電流に関連した磁界を前記磁界センサーでセンシングすることにより前記電流ストラップを流れる電流が測定される、請求項9に記載の磁界センサー。

【請求項11】前記スピンバルブ素子の各々は、前記ピン止め強磁性層の強化を所望の方向にピン止めるために、前記ピン止め強磁性層に隣接し且つ接触する反強磁性材料の交換バイアス層を更に有する、請求項9に記載の磁界センサー。

【請求項12】ブリッジ回路磁界センサーを製造する方法であって、

基板を提供するステップと、

スピンバルブ素子の各々を形成するステップが、(a) 付加された磁界がないとき良好な磁化軸を有する自由な強磁性層を付着させるステップ、(b) 前記自由な強磁性層の上に接触する非磁性スペーサ層を付着させるステップ、(c) 前記スペーサ層の上に接触する前記ピン止め層として作用する第2の強磁性層を付着させるステップ及び(d) 前記第2の強磁性層の上に接触する、特有の設定温度を有する反強磁性材料の交換バイアス層を付着させるステップを含む、前記基板上に第1、第2、第3及び第4のスピンバルブ素子を形成するステップと、

前記スピンバルブ素子の電気的な相互接続を可能にするように前記スピンバルブ素子の各々と接触する第1の導電体を形成するステップと、

前記基板上に前記スピンバルブ素子と位置合わせされた第2の導電体を形成するステップと、

前記第2の導電体を流れる電流が前記スピンバルブ素子を流れるのを阻止するために前記スピンバルブ素子及び前記第2の導電体の間に絶縁層を形成するステップと、

前記第2の強磁性層及び交換バイアス層の各々の磁化を方向付ける関連した磁界を生成する固定電流を前記第2の導電体を通して付加するステップと、

前記固定電流を付加する間、前記交換バイアス層の温度を前記設定温度よりも高くなるように制御するステップとを含む、

製造方法。

【請求項13】固定電流の付加中、交換バイアス層の温度を前記設定温度よりも下げることにより、前記交換バイアス層の各々の磁化方向を固定するステップと、

その後、前記固定電流を遮断することにより、前記第2の強磁性層の各々の磁化方向をその関連交換バイアス層でピン止めるステップとを更に含む、請求項12に記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は磁界センサー、特にブリッジ回路の磁気抵抗(MR)センサー素子を用いる磁界センサー及びその製造方法に関する。

【0002】

【発明が解決しようとする課題】磁界センサーはリニア及びロータリ符号化器、近接検出器及び地磁気磁力計として市販され広く使用されている。1つの一般的な磁界センサーはホール効果に基づいて100~1000エルステッド(Oe)の範囲内の磁界のセンシングに用いられる。もう1つの一般的な磁界センサーは半導体又は強磁性体材料における磁気抵抗(MR)効果に基づいて小さな磁界及びホール効果センサーよりも大きい距離の磁界のセンシングに用いられる。MR磁界センサーは、磁界信号を磁性体でつくられたセンシング素子の抵抗変化により、該センシング素子によりセンシングされる磁束の大きさ及び方向の関数として検出する。

【0003】通常のMRセンサーは、センシング素子抵抗の成分がセンシング素子の磁化の方向とセンシング素子を通過するセンシング電流の方向の間の角度の余弦の二乗として変化する、異方性磁気抵抗(AMR)効果に基づいて動作する。センシングされる外部磁界はセンシング素子の磁化の方向に変化を生じさせ、更にセンシング素子の抵抗の変化及び対応するセンシング電流又は電圧の変化を生じさせる。

【0004】AMR材料でつくられた電気ブリッジ回路は、およそ50 Oe未満の磁界をセンシングする磁界センサーとして用いられる。ホイートストンブリッジ回路でAMR素子を用いる磁界センサーの例が米国特許第5,247,278号明細書に記載されている。電流センサーとして動作する電流ストラップとともに用いられたAMRホイートストンブリッジ回路のもう1つの例は、IEEE transactions on Magnetism, Vol. MAG-6, November 1976, pp. 813-815に記載されている。

【0005】巨大磁気抵抗(GMR)と呼ばれる、更にすぐれた別の磁気抵抗が種々の磁気多層構造で観測されている。GMRの重要な特性は、非強磁性金属層により分離された少なくとも2つの強磁性金属層があることである。このGMR効果は、強磁性層の強力な反強磁性結合を表わす種々のシステム、例えばFe/Cr、Co/Cu又はCo/Ru多層で、ならびに2つの強磁性層の1つの磁化方向が固定される、即ちピン止めされる本質的には非結合の層化構造で見つかっている。物理的な起点は外部磁界の付加で隣接強磁性層の相対的な方向に変化が生じるGMR構造の全てのタイプで同じである。これは順次に伝導電子のスピン依存散乱と、従って該構造の電気抵抗に変化を生

じさせる。このように、該構造の抵抗は強磁性層の磁化の相対的配列が変化することによって変化する。特に有用なQMRの用法は非磁性金属スペーサ層で分離された2つの非結合の強磁性層を含むサンドイッチ構造である。この構造では、該強磁性層の1つの磁化がピン止めされる。ピン止めは、ピン止めされる強磁性層を鉄-マンガン (Fe-Mn) 層に付着させて2つの層を交換結合することにより達成できる。その結果、外部磁界が存在するとき、ピン止めされない、即ち自由な強磁性層のみが自由に回転するスピンバルブ(SV)センサーが得られる。米国特許第5,206,590号明細書は基本的なSVセンサーを開示している。米国特許第5,159,513号明細書は、強磁性層の少なくとも1つがコバルト又はコバルト合金であり、そしてピン止め強磁性層を反強磁性層に交換することにより外部から磁界が加えられない状態で2つの強磁性層の磁化方向が互いに概ね垂直に維持される、SVセンサーを開示している。米国特許第5,341,261号明細書は磁気抵抗を増すために金属スペーサ層に隣接してコバルトの薄膜を有するSVセンサーを開示している。最も直線的なレスポンス及び最も広い動的有効距離を有するSVセンサーは、ピン止め強磁性層の磁化の方向が信号フィールドに平行であり且つ自由な強磁性層の磁化の方向が信号フィールドに垂直であるセンサーである。SVセンサーの設計及び動作は Heim et al, "Design and Operation of Spin-Valve Sensors", IEEE Transactions on Magnetics, Vol. 30, No. 2, March 1994, pp. 316-321 に記述されている。

【0006】磁界センサーのブリッジ回路でのQMR素子の使用は Daughton et al, "QMR Materials for Low Field Applications", IEEE Transactions on Magnetics, Vol. 29, No. 6, November 1993, pp. 2705-2710 に示唆されている。当該参照文献は、ピン止めされたQMR構造(即ち、SV素子)を用いるブリッジ回路はありうることを示唆するが、その装置は未だ開示されていないと述べている。

【0007】本発明の目的は従来のAMRセンサーよりもすぐれたSVセンサーの性能を利用するブリッジ回路磁界センサーを及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明はブリッジ回路に電気的に結合された4個のスピンバルブ(SV)素子を用いる磁界センサーである。SV素子は同じ基板上にリソグラフィックに形成され、それらの自由な層の磁化軸は互いに平行にされる。導電体固定層は基板上に形成されるが、SV素子からは絶縁される。磁界センサーの製作中に導電体固定層に電流が流される間のセンサーの適切な加熱及び冷却により、SV素子内のピン止め層の磁化の方向は、2つのSV素子内のピン止め層の磁化の方向が他の2つのSV素子内のピン止め層の磁化の方向と逆平行になるように固定される。ブリッジ回路出力電圧はセンサーの

平面内の外部磁界に反応する。センサー製作中、ピン止め層の磁化の方向を適切に固定することにより、ブリッジ回路出力電圧は磁界又は磁界勾配のどちらかの測定値である。センサーは磁界又は磁界勾配の大きさ及び符号の両者の測定をする。導電体固定層、又は基板上に形成された別個の電流ストラップはセンサーを通じて未知の電流を流すのに使用できる。この場合、ブリッジ回路出力電圧は未知の電流の測定値である。

【0009】

【発明の実施の形態】図1は4つの別々のSV素子A、B、C及びDがホィートストンブリッジ回路に配列されたSVブリッジ回路磁界センサー10の概要図を示す。各SV素子A～Dを含む個々の層を説明するために、SV素子は透視図で示される。実際には、それらは図の平面に形成される。各SV素子A～Dは長さL及び幅Wを有する。SV素子は、前記平面で、それらの長さLの全てが互いに平行になるように配列される。図面で、センスされる磁界は矢印Hで示され、前記平面にあり、そしてSV素子の長さLに垂直である。

【0010】センサー10は第1、第2のSV素子A、B及び第3、第4のSV素子C、Dの間にそれぞれ置かれた端子リード20、22からなる第1のセットの端子リードを有する。これらはセンサー10の入力リードとして動作する。定電圧電源(図示せず)が入力リード20及び22の間に結合される。更に、センサー10はSV素子A、C及びSV素子B、Dの間にそれぞれ置かれた端子リード24、26からなる第2のセットの端子リードを有する。これらはセンサー10の出力リードとして動作する。センスされる外部磁界Hは各SV素子の抵抗の変化を生じさせる。

【0011】センサー10の動作は典型的なSV素子を形成する個々の層を示す図1のSV素子Bにより理解できる。SV素子Bは自由な強磁性層36、非磁性スペーサ層37、ピン止め強磁性層39、及び隣接する前記の層39をピン止める反強磁性層41を含む。センサー10の動作の核心は各SV素子A～Dで相対的に自由な層とピン止め層の磁化の方向である。図1に示すように、磁界が付加されないとき、4個のSV素子内の自由な層の全ての磁化軸の良好な方向はSV素子の長さLに沿っている。この方向は典型的なSV素子Bで自由な層36の矢印32で示される。従って、SV素子A～Dで自由な層の磁化軸は互いに平行に置かれる。しかしながら、ピン止め層の各々の(典型的なSV素子Bでピン止め層39の矢印で示された)磁化軸38は、SV素子を流れる電流の方向に垂直に、そしてSV素子の幅Wに平行に方向付けられる。しかしながら、SV素子B及びCのピン止め層の磁化の方向は、SV素子A及びDのピン止め層の磁化の方向と反対である。典型的なSV素子Bで、ピン止め層39の磁化軸38と、磁界が付加されないときの自由な層36の良好な磁化軸32との間の垂直な角度は、SV素子の最も直線的なレスポンスを与える。SV素子の信号能力の推定に一般的に用いる評価値は、(センサ

一磁化軸に平行な電流及び垂直な電流に対する)抵抗値の変化を平均抵抗値で割った、固有の磁気抵抗 $\Delta R/R$ である。

【0012】SV素子A～Dが共通基板上に同時に形成され、そして同時にリソグラフィック寸法を形成されているので、センサー10のブリッジ回路は端子リード24及び26の間の差動出力電圧 V_{out} が概ね0になるように平衡される。センサー10が均一な磁界Hにさらされると、ピン止め層は影響を受けないが、自由な層は角度 d だけ回転し、各SV素子A～Dの抵抗が変化する。図1に示すように、Hは完全に基板の平面内の付加された磁界であり且つSV素子の長さLに垂直な方向にある。しかしながら、付加された磁界が基板の平面の外部にあり且つ(又は)SV素子の長さLに完全に垂直ではない場合、センサー10は付加された磁界の、基板の平面内にあり且つSV素子の長さLに垂直な方向にある成分の振幅(即ち、大きさ及び符号)を測定する。

【0013】図2は付加される磁界Hに対する単一のSV素子の抵抗レスポンスを示す。出力端子リード24及び26の間に現われる電圧に関して、素子A及びDのレスポンス(それぞれの抵抗 R_A 及び R_B)は素子B及びCのレスポンスに等しいが反対方向でなければならない。前記Heim*

$$V_{out} = V_{in} \times RC / (R_A + RC) - V_{in} \times RD / (R_B + RD) \quad (3)$$

【0016】この式に R_A 、 R_B 、 R_C 、 R_D の値を代入すると、出力電圧は次のようになる。

【数4】

$$V_{out} = -V_{in} \times (\Delta R / 2R_0) \times H / H_k(\text{eff}) \quad (4)$$

【0017】式(4)に示すように、センサー10の電圧レスポンスは、完全にセンサー基板の平面内にあり且つSV素子の長さ方向に垂直な付加磁界の振幅(即ち大きさ及び符号)の測定値である。付加磁界が該基板の平面内にあり且つSV素子の長さ方向に垂直な成分以外の成分を有する場合、式(4)は、該基板の平面内にあり且つ前記SV素子の長さ方向に垂直な付加磁界の成分の近似値を与える。

【0018】 $H_k(\text{eff})$ は、長さLの割合に長い素子に関して次の式で近似的に与えられる、付加された磁界Hに対するブリッジ回路磁界センサーの感度に関連し、そして2～5 Oeの範囲内の固有の結晶体の異方性及び形状異方性を含む。この式で、WはSV素子の幅であり、そしてtは自由な層の厚さである。

$$\text{【数5】 } H_k(\text{shape}) = 4\pi M_s (t/W) \quad (5)$$

【0019】 $H_k(\text{eff})$ は水晶体及び形状異方性によるエネルギーに打撃つことにより自由な層をそのゆるやかな軸に垂直に方向付けるために付加する必要がある磁界である。50Åの厚さのNi-Feの自由な層の場合、 $H_k(\text{shape})$ は、幅10ミクロンのSV素子では5 Oeであり、そして幅3.3ミクロンのSV素子では15 Oeである。その結果、 $H_k(\text{eff})$ は、幅10ミクロンのSV素子では10 Oeであり、そして幅3.3ミクロンのSV素子では20 Oeである。

*の参照文献に記述されているように、この関係は次のようになる。この式で、 R_0 は磁界が付加されないSV素子の抵抗であり、 $H_k(\text{eff})$ はSV素子の有効な異方性磁界であり、そして ΔR はSV素子の抵抗の最大変化である。

【数1】

$$R_A = R_D = R_0 + \Delta R / 2 \times H / H_k(\text{eff}) \quad (1)$$

【0014】この式は、素子B及びCの場合のように、ピン止め層がSV素子の長さLに垂直であり且つSV素子が正の磁界Hの方向に置かれる場合に有効である。SV素子A及びDは、それらが同じ結合構造を有するから、均一に付加された磁界に対して等しい抵抗を有する。SV素子B及びCのピン止め層はSV素子A及びDのピン止め層と逆平行に置かれるので、付加された磁界に対するレスポンスは符号が反対であるが大きさは等しい。その関係は次のようになる。

【数2】

$$R_B = R_C = R_0 - \Delta R / 2 \times H / H_k(\text{eff}) \quad (2)$$

【0015】ブリッジの V_{out} レスポンスは次のようになる。この式で、 V_{in} は入力端子リード20及び22の間に付加された電源電圧である。

【数3】

【0020】6%の $\Delta R/R$ 、15オームのシート抵抗、3.3ミクロンの幅W及び500ミクロンの長さLを有するSV素子を用いて、付加された磁界Hを $-H_k(\text{eff})$ から $+H_k(\text{eff})$ に掃引すると、磁界センサー抵抗は136オームだけ変化する。電源電圧 V_{in} が5Vの場合、これは-150 mV から +150 mV までの範囲内にある磁界センサー出力 V_{out} を生ずる。これは測定された磁界センサーレスポンスとして図3に示される。20 Oeの $H_k(\text{eff})$ と5Vの V_{in} では、これは7.5 mV/Oeのレスポンスに対応する。この値は現在の市販のAMRセンサーの1.5 mV/Oeに匹敵する。

【0021】入力電源が定電圧電源として記述された図示の良好な実施例では、センサー10は入力電源が定電流電源である場合にも動作する。

【0022】図4及び図5はSVブリッジ磁界センサー10の良好な実施例を示す。図4はシリコン(Si)基板50上にパターン化されたブリッジ回路を形成する特定の層を示す。図5は基板50上のこれらの層のそれぞれの方向を明示する分解組立図を示す。

【0023】図5で、最初にバッファ層51がSi基板に付着される。そして各SV素子A～Dが後述のようにバッファ層51上に形成された後、パッド52、54、56及び58の形式の導電体が各SV素子A～Dの端にパターン化され、4つのSV素子の各々を電氣的に接続する。導電体パッド52、56はそれぞれSV素子A及びB、SV素子C及びDを相互接続し、センサー10の入力端子リード20、22を備える。導電体パッド54、58はそれぞれSV素子A及びC、SV

素子B及びDを相互接続し、センサー10の出力端子リード24、26を備える。そして絶縁層60は導電体パッド52、54、56、58及びSV素子の上に形成される。次に、導電性のSV素子固定層70が絶縁層60の上にパターン化される。この固定層はSV素子A～Dの全てに被せられるが、絶縁層60があるため電気的にはそれらと接続されない。完成したセンサー10の動作中はSV素子固定層70は必ずしも動作しないが、センサー10の製作中はSV素子のピン止め層の各々を後述のように恒久的にピン止めするのに用いられる。

【0024】センサー10を製作するプロセスは図6により説明する。図6は図4の断面X-X'により描かれた断面図である。センサー10は通常の薄膜付着リソグラフィック及びエッチングプロセスを用いて製作される。基板50として単結晶半導体等級Siウェーハが用いられる。そしておよそ1000～2000Åの厚さのスパッタリングによりSi基板50にアルミナ(Al_2O_3)のパッファ層51が付着される。パッファ層51の目的はSi基板50に電気的な絶縁層を設けることである。そして個々のSV素子A～Dがパッファ層51に形成される。図6にはSV素子A及びBが示される。

【0025】図7～図10により、典型的なSV素子Bの製作について説明する。50Åの厚さのタンタル(Ta)の下層55がパッファ層51に付着される。図7に示すように、第1の強磁性層36がパッファ層51に付着される。層36はSV素子内の自由な強磁性層であり、できれば $Ni_{50}Fe_{50}$ から $Ni_{10}Fe_{90}$ までの混合範囲のNi-Feで構成され且つ10～100Åの厚さであることが望ましい。薄い非磁性金属スペーサ層37、第2の薄い強磁性層39、割合に高い抵抗を有し且つ強磁性層39と直に接触する薄い材料の交換バイアス層41及びTaキャップ層44が強磁性層36の上に付着される。第2の強磁性層39はピン止め層になり、そして層39もNi-Feで10～100Åの厚さに形成される。非磁性金属スペーサ層37はできれば銅(Cu)で構成され且つ厚さ20～40Åに形成することが望ましい。交換バイアス層41はできれば適切な反強磁性材料、例えば鉄-マンガン(Fe-Mn)又はニッケル-マンガン(Ni-Mn)で構成され、そして100～400Åの厚さに形成されることが望ましい。

【0026】図7～図10には図示されていないけれども、各SV素子の良好な実施例では、自由な強磁性層36及びピン止め強磁性層39の各々は、それぞれ、前記米国特許第5,341,261号明細書に示されたように、Cuスペーサ層37に隣接するCoの薄膜(厚さ5～15Å)及びNi-Feの薄膜(厚さ10～100Å)を構成する。これはより大きい $\Delta R/R$ 及び出力電圧を生成する。図3のデータは前記SV素子でつくられた磁界センサーに対応する。

【0027】強磁性層36は、外部から付加された磁界(図1に示された磁界H)にตอบสนองしてその磁化軸32が自由に回転するので"自由な"強磁性層と呼ばれる。強磁性層39は、磁化軸38の矢印で示すように、良好な方向に

固定される、即ちピン止めされるので、外部から付加された磁界が存在しても回転できないから"ピン止め"強磁性層と呼ばれる。

【0028】そして個々の長方形のSV素子A～Dを決めるためにキャップ層44でホトレジストがパターン化され、そして層36、37、39、41及び44の、ホトレジストで保護されない全ての部分が通常の除去方法、例えばイオンエッチングにより、下層55まで、そして僅かにその内部まで取り除かれる。図8に示すように、これはSV素子の各々の長さL及び幅Wを決める明確なエッジを形成する。このように、図7～図10はSV素子、例えば図6の典型的なSV素子Bを形成する方法を示す。次のステップは、SV素子を電気的に接続する導電体パッド、例えばパッド54、56の形成するステップである。

【0029】図8で、導電体パッド、例えば(図9の)パッド54、56を形成するために、SV素子上でホトレジスト45がパターン化される。1つの方法では、順次に付着されたTa、Au及びTaの層の導電体が全体の厚さ1000Åに形成される。SV素子に前記パッドを付着させ、そしてホトレジスト及び金属を取り外してパッドを残すことにより、各SV素子が電気的に接続される。別の方法では、材料を取り除くためにSV素子が最初にイオンエッチングされ、そしてNi-Fe及び交換材料即ち固い材料(CoPtCr)が層57として付着され、続いてTa/Au/Taが付着される。そしてホトレジスト及び金属が除去されて、図10に示すように、パッド54及び56が形成される。

【0030】図7～図10に示された典型的なSV素子の実施例では、自由な層36がピン止め層39よりも下層51の近くに置かれるが、反対に、即ち、ピン止め層39の方が下層51に近いSV素子を形成することもありうる。当該構成では、層39をピン止めするために反強磁性層41を下層55及び層39の間に配置することがある。

【0031】図8で、パッド54、52及び56のような導体パッドはSV素子A～Dの全てを相互接続する電気的な経路を与える。パッドの形成及びホトレジスト除去の後、できればアルミナ(Al_2O_3)の中間の絶縁層60がパッド54、52、56及びSV素子を完全にカバーするシートとして1500Åの厚さに付着される。そして更にホトレジストが付加され、アルミナ絶縁層60上に形成されるSV素子固定層70を決めるようにパターン化される。導電性の固定層70はできれば金(Au)であり且つおよそ2000Åの厚さに付着されることが望ましい。センサー10を形成する全ての膜をカバーするために、更に上部にアルミナ絶縁層80(図4及び図5には図示せず)が保護膜として付着される。最後に、固定層70の端子リード(図6に示された端子リード72)を形成するために上部絶縁層80から固定層70にわたり、そして導電体パッドの端子リード(図6に示された端子リード26)を形成するために絶縁層80から絶縁層60にわたり、通常の方法でバイアが形成される。

【0032】これらの製作段階の次に、各ピン止め層、

例えばSV素子Bの層39(図1)をピン止めし、それらの磁化を適切な方向(SV素子Bのピン止め層39の磁化軸38)に恒久的に固定する必要がある。これは、ピン止め層の各々の磁化を、それぞれのSV素子を流れる電流の方向に垂直に、そして図1に示されたそれぞれの方向に、方向付けるために必要である。4つの異なるピン止め層の磁化を従来の技術のSV素子製作プロセスを用いて異なる方向にピン止めすることはできない。なぜなら、固定するために外部から付加された磁界の使用は磁化の全てを同じ方向になるように方向付け、センサー10をブリッジ回路磁界センサーとして使用不可能にするからである。ピン止め層をそれぞれの適切な方向に恒久的にピン止めすることは、導電性の固定層70により可能にされる。

【0033】図4及び図5で、固定電流は導電性の固定層70にあるリード72、74を通して流される(リード76、78は固定プロセスには用いられないが、後述の他の用法に予約されている)。この電流の値は、その電流に関連した磁界がピン止め層の磁化の正しい方向を決めるように選択される。固定層70の各レッグを流れる電流の方向はSV素子A、B、C、Dのそれぞれ矢印91、92、93、94で示される。SV素子の各々でピン止め層の磁化の方向は周知の"右手の法則"で決められる。これらのピン止め層の方向は図1に示されている。SV素子上の固定層70の幅が10ミクロンである場合、固定層70を流れる230 mAの電流がおおよそ145 Oeの磁界を生成する。この磁界の方向はブリッジの各レッグの電流の方向により各SV素子内において"アップ"又は"ダウン"である。反強磁性ピン止め層がFe-Mnである場合、固定電流が付加されているあいだ、センサー10はおおよそ160~180°Cに加熱される。この温度は、隣接するピン止め層の磁化を揃えるようにFe-Mnの下格子磁化をセットするのに必要な温度を上回る。Fe-Mnの場合、このようにセットされた温度はブロッキング温度と呼ばれる。自由及びピン止めNi-Fe層の両者の磁化は固定電流により生成された磁界に揃えられる。ピン止めNi-Fe層は隣接するFe-Mn層に交換結合されるので、それらの磁化はそれらの関連Fe-Mn反強磁性層の磁化と平行に揃えられる。そして固定電流が付加され続けるあいだ、センサー10は冷却される。冷却の後、Fe-Mn反強磁性層は恒久的に固定された下格子磁化方向を有し、更に交換結合のピン止め層の磁化を所望の方向に恒久的にピン止めする。固定電流が遮断されると、自由な層の磁化の方向は、SV素子の長さしに大体平行である最初の状態に戻る。異なるピン止め層の磁化の方向を異なる方向に恒久的に固定するこのプロセスは、たとえ個々のSV素子が全て同じ基板に形成されても、センスされる外部磁界と反対のセンス方向に各レッグが反応する平衡ブリッジを生成する。

【0034】固定電流の値、固定層の寸法及び固定する手順は、SV素子のできるだけ大きい $\Delta R/R$ を得るために重要である。固定層70とSV素子の間のオーバーラップは、

層の位置合わせ及び層の幅の公差ならびに良好な磁界均一性を提供するための製造可能性を容易にするために必要である。このオーバーラップは絶縁層60の厚さの少なくとも3倍が必要である。オーバーラップは、層70での導体の幅が各SV素子の幅Wをオーバーラップすべきであることを意味する。このオーバーラップはSV素子の各側でおおよそ3ミクロンになることがある。図4に示され、記述された実施例では、SV素子の幅は3.3ミクロンであり、そしてSV素子をオーバーラップする固定導体の幅は10ミクロンである。

【0035】固定層70を流れる電流はSV素子に付加された横方向の磁界 H_t を次の式により決定する。この式で、 I はmA単位であり、 W_f はミクロン単位の導体の幅であり、そして H_t はOe単位の磁界である。

$$【数6】 H_t = 2\pi I / W_f \quad (6)$$

【0036】磁界 H_t の値は、SV素子が設定温度よりも高い温度に加熱されたとき自由及びピン止め層の両者の形状異方性磁界を克服することが必要であるので、少なくとも $2 H_k(\text{eff})$ でなければならない。 $H_k(\text{eff})$ は形状異方性磁界の平均値のみを含むので、ピン止め層のエッジの正しい位置合わせを保証するためには $3 \sim 10 H_k(\text{eff})$ の範囲内の H_t の値が用いられなければならない。図4に示された例では、ピン止め層を固定するのに $H_t = 7 H_k(\text{eff})$ が用いられた。

【0037】磁界センサー10は固定電流により生成された熱及び周囲の(一般にオープンからの)熱の両者により加熱され、その温度が上昇する。Fe-Mnが交換バイアス層として用いられる場合、この温度は一般に160~180°Cである。これはFe-Mnのブロッキング温度分布の上端である。温度要求が異なる他の反強磁性材料が交換バイアス層として選択されることがある。例えば、Ni-Mnはおおよそ240°Cの設定温度を有するので、ピン止め層の所望の方向に交換磁界をセットするために、この温度で1~3時間にわたりアニーリングしなければならない。Ni-Mnの温度がこの温度よりも高くなる場合、アニーリング時間の短縮が必要になる。Ni-Mnの場合、設定温度はブロッキング温度ではなく、むしろ四辺形の位相遷移が起きる温度である。最良の温度はFe-Mnでは200°C、Ni-Mnでは250°Cであるが、ピン止め層は膜特性の変化による $\Delta R/R$ の損失を最小にするために固定されている。

【0038】加熱の一部分は固定電流自体により供給される。温度上昇に対するこの寄与はセンサーの抵抗増加の測定により計算されるが、固定電流が流れている既知のセンサー材料の温度係数を用いている。この温度上昇は30~50°Cの範囲内にあるものとして測定される。従って、所望の温度と固定電流により生成された温度上昇との間の差温度のオープン内にセンサーが置かれる。センサーの断熱の程度により、固定電流のみにより生じた加熱が設定温度を超えることがある。この場合、センサーは冷却することにより所望の温度に保持され、温度が有

意に設定温度よりも上昇しないことを保証する。

【0039】Fe-Mnの交換バイアスが形成される場合、センサーはFe-Mnのブロッキング温度よりもかなり低く冷却されるが固定電流は流れているままであり、この時点でピン止め層の全領域が所望の方向に固定される。そして固定電流は遮断される。Fe-Mnの代わりにNi-Mnの交換バイアス層が形成される場合、センサーはおよそ1〜3時間にわたりはば240℃にアニーリングされると同時に、固定電流のセンサーへの供給が続けられる。これは、スパッタされたNi-Mnの反強磁性四辺形位相への変形を、400℃を越えるブロッキング温度により保証する。交換バイアスの所望のレベルを得るのに十分な時間にわたりNi-Mnがアニーリングされた後、固定電流を遮断してセンサーを冷却することができる。

【0040】各SV素子の反強磁性層としてFe-Mnを用いるセンサーは最大はば120℃の動作温度範囲及び最大はば150℃の貯蔵温度を有する。Fe-Mnの代わりにNi-Mnを用いることにより最大動作温度はば180℃に拡大できる。Ni-Feとの交換結合のためのNi-Mnの使用は Lin et al, "Improved Exchange Coupling Between Ferromagnetic Ni-Fe and Antiferromagnetic Ni-Mn-based Films", Applied Physics Letters, Vol. 65, No. 9, August 1994, pp. 1183-1185に記述されている。Fe-Mnの代わるNi-Mnの使用はセンサーの動作温度をば60℃増加するが、磁気抵抗 $\Delta R/R$ の低下により信号の大きさにも15〜20%の損失を生ずる。これはスピンバルブ層内の混じり合いの均一化によるものである。これは Speriosu et al, "Role of Interfacial Mixing in Giant Magnetoresistance", Physical Review B, Vol. 47, NO. 17, May 1, 1993-I, pp. 11579-11582 に記述されている。

【0041】図5に示された層の配列は基板の層の製作の良好なシーケンスである。しかしながら、基板及びSV素子の間に導電体固定層を置き、絶縁層60を導電体固定層70及びSV素子の間に置くことによりセンサーを製作することもできる。

【0042】図示し説明したような磁界センサーは、基板の平面内にある外部磁界の大きさを測定するセンサーとして動作するように設計される。しかしながら、測定される電流を導電体固定層70を通して付加することによりセンサーは電流センサーとして動作することもできる。そして固定層は電流ストラップの働きもする。電流は上記の式(6)により磁界を生成し、そしてこの磁界はブリッジセンサーにより検出される。図5で、電流はこのような用法の固定層70のリード76及び78の間に流される。あるいは、センサされる電流の経路として用いるために、固定層から分離されたセンサーに別の電流ストラップを形成することができる。

【0043】磁界センサーは、付加された磁界Hの大きさではなく勾配を測定するように製作することもできる。図1で、製作中に、SV素子A及びCがSV素子B及び

Dに等しいが反対の応答を有するように、固定電流が流される場合、ブリッジは、SV素子B及びD(又は同様にSV素子A及びC)の間に現われる付加された磁界の値の変化に感応する。この構成は、製作中に、例えば図5のリード76及び78に固定電流を入力を付加することにより達成される。磁界勾配センサーとしての磁界センサーの製作に続いて、そして磁界振幅センサー(図1)の場合と同じように接続された入力及び出力リードにより、磁界勾配センサーは次の式で与えられる応答を有する。この式で、 dH/dx は素子の長さLに垂直な方向の磁界の勾配であり、Sは同じ方向にある素子の間隙である。SV素子A及びCの間隙Sは図5に示されている。式(7)の電圧応答は磁界勾配の符号の測定値も与える。

【数7】

$$V_{out} = V_{in} \cdot \Delta R/R \cdot S/4Hk(eff) \cdot dH/dx \quad (7)$$

【0044】磁界センサー及び磁界勾配センサーの両者のようなセンサーの良好な実施例では、図1に示すように入力及び出力を接続する(即ち、第1のセットの端子リード20、22の間に入力、第2のセットの端子リード24、26の間に出力を接続する)が、センサーは入力及び出力接続を切替える(即ち、第2のセットのリード24、26の間に入力、そして第1のセットのリード20、22の間に出力が接続することによっても動作する。このような構成は動作するけれども、SV素子の自由な層のバイアス点での入力電流の方向の影響のために、最適動作に満たない動作を与える。前述の Heim et al の論文に説明されているように、最適動作に満たないバイアス点により、各SV素子の動的範囲は減少する。

【0045】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 磁界センサーであって、基板と、前記基板上に形成された第1、第2、第3及び第4のスピンバルブ素子と、前記基板上に形成され且つ前記4つのスピンバルブ素子と相互接続する導電体とを備え、前記スピンバルブ素子の各々は(a) 磁界が付加されないとき良好な磁化軸を有する自由な強磁性層、(b) 前記自由な強磁性層に隣接する非磁性スペーサ層及び(c) 前記スペーサ層に隣接するピン止め強磁性層を有し、その磁化軸は前記自由な強磁性層の良好な磁化軸にある角度でピン止めされ、前記4つの自由な層の良好な磁化軸は実質的に互いに平行であり、そして前記4つのピン止め強磁性層の磁化軸は実質的に互いに平行又は逆平行である磁界センサー。

(2) 前記導電体は隣接するスピンバルブ素子の間に置かれた端子リードを有する、上記(1)に記載の磁界センサー。

(3) 前記第1と第4のスピンバルブ素子はそれらのピン止め強磁性層の磁化軸が互いに平行に置かれ、前記第2と第3のスピンバルブ素子はそれらのピン止め層の磁化軸が互いに平行に置かれ且つ前記第1と第4のスピンバルブ素子のピン止め層の磁化軸に逆平行であり、更に

前記第1と第2のスピバルブ素子の間の端子リード及び前記第3と第4のスピバルブ素子の間の端子リードに接続された電源を備え、そして前記第1と第3のスピバルブ素子の間の端子リード及び前記第2と第4のスピバルブ素子の間の端子リードはセンスされる磁界の大きさを測定するセンサーの出力端子リードを形成する、上記(2)に記載の磁界センサー。

(4) 前記第1と第3のスピバルブ素子はそれらのピン止め強磁性層の磁化軸が互いに平行に置かれ、前記第2と第4のスピバルブ素子はそれらのピン止め強磁性層の磁化軸が互いに平行に置かれ且つ前記第1と第3のスピバルブ素子のピン止め強磁性層の磁化軸に逆平行であり、更に前記第1と第2のスピバルブ素子の間の端子リード及び前記第3と第4のスピバルブ素子の間の端子リードに接続された電源を備え、そして前記第1と第3のスピバルブ素子の間の端子リード及び前記第2と第4のスピバルブ素子の間の端子リードはセンスされる磁界の勾配を測定するセンサーの出力端子リードを形成する、上記(2)に記載の磁界センサー。

(5) 前記導電体は隣接するスピバルブ素子の間に置かれた端子リードを有し、第1と第2のスピバルブ素子の間及び第3と第4のスピバルブ素子の間の端子リードは第1のセットのリードを形成し、第1と第3のスピバルブ素子の間及び第2と第4のスピバルブ素子の間の端子リードは第2のセットのリードを形成し、そして更に第1又は第2のセットのリードの間に前記センサーに接続された入力電源を備えることにより、前記入力電源に接続されなかった前記第2又は第1のセットのリードの間で測定された出力電圧はセンスされる磁界の測定値を与える、上記(1)に記載の磁界センサー。

(6) 前記入力電源に接続されなかった前記セットのリードの間で測定された前記出力電圧は、前記基板の平面内にある磁界成分の大きさ及び符号の両者の測定値を与える、上記(5)に記載の磁界センサー。

(7) 前記入力電源に接続されなかった前記セットのリードの間で測定された前記出力電圧は、前記基板の平面内にある磁界成分の勾配の大きさ及び符号の両者の測定値を与える、上記(5)に記載の磁界センサー。

(8) 前記基板上に形成され、そして前記センサーの製作中に前記スピバルブ素子のピン止め強磁性層の磁化軸を方向付ける固定電流の伝導のために前記スピバルブ素子と位置合わせされた第2の導電体と、前記スピバルブ層及び前記第2の導電体の間の絶縁層とを更に備える、上記(1)に記載の磁界センサー。

(9) 前記第2の導電体は前記センサーの製作後に測定される電流を受取るための端子を有した電流ストラップであり、そして前記電流ストラップを流れる電流に関連した磁界を前記磁界センサーでセンスすることにより前記電流ストラップを流れる電流が測定される、上記(8)に記載の磁界センサー。

(10) 前記スピバルブ素子の各々は、前記ピン止め強磁性層の磁化を所望の方向にピン止めするために、前記ピン止め強磁性層に隣接して接触する反強磁性材料の交換バイアス層を更に含む、上記(1)に記載の磁界センサー。

(11) 前記交換バイアス層は鉄-マンガン 又はニッケル-マンガン で構成される、上記(10)に記載の磁界センサー。

(12) 測定される電流を受取るために前記基板上に形成された電流ストラップを更に有し、そして前記電流ストラップを流れる電流に関連した磁界をセンスすることにより前記電流ストラップを流れる電流が測定される、上記(1)に記載の磁界センサー。

(13) 外部磁界に応答して出力電圧を生成するためのブリッジ回路磁界センサーであって、基板と、前記基板上に形成された第1、第2、第3及び第4のスピバルブ素子と、前記基板上に形成され且つ前記4つのスピバルブ素子と相互接続する第1の導電体と、前記基板上に形成された第2の導電体と、前記スピバルブ素子及び前記第2の導電体の間の絶縁層とを備え、前記スピバルブ素子の各々は(a) 磁界が付加されないとき良好な磁化軸を有する自由な強磁性層、(b) 前記自由な強磁性層に隣接する非磁性スペーサ層及び(c) 前記スペーサ層に隣接するピン止め強磁性層を有し、その磁化軸は前記自由な強磁性層の良好な磁化軸にある角度でピン止めされ、前記4つの自由な層の良好な磁化軸は実質的に互いに平行であり、そして前記4つのピン止め強磁性層のうちの2つの磁化の方向は実質的に互いに平行であり、且つ他の2つの前記ピン止め強磁性層の磁化の方向と実質的に逆平行であり、前記第1の導電体は隣接するスピバルブ素子の間に置かれた端子リードを有し、前記第1と第2のスピバルブ素子の間、及び前記第3と第4のスピバルブ素子の間の端子リードは第1のセットの端子リードを形成し、そして前記第1と第3のスピバルブ素子の間、及び前記第2と第4のスピバルブ素子の間の端子リードは第2のセットの端子リードを形成し、前記第2の導電体は前記センサーの製作中に前記スピバルブ素子の前記ピン止め強磁性層の磁化の方向を決める固定電流の伝導のために前記スピバルブ素子と位置合わせされる磁界センサー。

(14) 前記第1及び第4のスピバルブ素子はそれらのピン止め層の磁化方向が互いに平行に揃えられ、更に前記第1のセットの端子リードの間に接続された電源を有するので、前記第2のセットの端子リードの間の出力電圧は実質的に前記基板の平面内にある外部磁界成分の振幅の測定値である、上記(13)に記載の磁界センサー。

(15) 前記第1及び第3のスピバルブ素子はそれらのピン止め層の磁化方向が互いに平行に揃えられ、更に前記第1のセットの端子リードの間に接続された電源を

有するので、前記第2のセットの端子リードの間の出力電圧は実質的に、前記スピバルブ素子の長さ方向にほぼ垂直な方向の、前記基板の平面内にある外部磁界成分の勾配の測定値である、上記(13)に記載の磁界センサー。

(16) 前記第2の導電体の幅は、前記スピバルブ素子及び前記第2の導電体の間に置かれた絶縁層の厚さの3倍よりも大きい距離だけ、前記スピバルブ素子の各側のスピバルブ素子の幅とオーバーラップする、上記(13)に記載の磁界センサー。

(17) 前記第2の導電体は前記センサーの製作後に測定される電流を受取るための端子を有した電流ストラップであり、そして前記電流ストラップを流れる電流に関連した磁界を前記磁界センサーでセンシングすることにより前記電流ストラップを流れる電流が測定される、上記(13)に記載の磁界センサー。

(18) 前記スピバルブ素子の各々は、前記ピン止め強磁性層の磁化を所望の方向にピン止めるために、前記ピン止め強磁性層に隣接し且つ接触する反強磁性材料の交換バイアス層を更に有する、上記(13)に記載の磁界センサー。

(19) 前記交換バイアス層は鉄-マンガン又はニッケル-鉄で構成される、上記(18)に記載の磁界センサー。

(20) 外部磁界に応答して出力電圧を生成するためのブリッジ回路磁界センサーであって、基板と、長さ方向がほぼ平行に前記基板上に形成された、概ね四辺形の第1、第2、第3及び第4のスピバルブ素子と、前記基板上に形成され且つ前記4つのスピバルブ素子と相互接続する第1の導電体と、前記基板上に形成された第2の導電体と、前記スピバルブ素子及び前記第2の導電体の間の絶縁層と、前記入力リードに接続された電源とを備え、前記スピバルブ素子の各々は(a) 磁界が付加されないとき前記スピバルブ素子の長さ方向にほぼ平行する良好な磁化軸を有する自由な強磁性層、(b) 前記自由な強磁性層に隣接する非磁性スペーサ層及び(c) 前記スペーサ層に隣接し且つその磁化軸が前記スピバルブ素子の幅方向に概ね平行にピン止めされる、ピン止め強磁性層を有し、前記第1と第4のスピバルブ素子内の前記ピン止め層の磁化の方向は互いに実質的に平行であり且つ他の2つの前記ピン止め層の磁化の方向と実質的に逆平行であり、前記第1の導電体は隣接するスピバルブ素子の間に置かれた端子リードを有し、前記第1と第2のスピバルブ素子の間、及び前記第3と第4のスピバルブ素子の間の端子リードは、前記センサー入力電源を付加するための入力形成し、そして前記第1と第3のスピバルブ素子の間、及び前記第2と第4のスピバルブ素子の間の端子リードは、センサー出力電圧の出力を形成し、前記第2の導電体は前記センサーの製作中に前記スピバルブ素子の前記ピン止め層の磁化

の方向を決める固定電流の伝導のために前記スピバルブ素子と位置合わせされ、それによって、前記出力電圧は実質的に前記基板の平面内にあり且つ実質的に前記スピバルブ素子の長さ方向に垂直な方向にある外部磁界成分の振幅を測定する磁界センサー。

(21) ブリッジ回路磁界センサーを製造する方法であって、基板を提供するステップと、スピバルブ素子の各々を形成するステップが、(a) 付加された磁界がないとき良好な磁化軸を有する自由な強磁性層を付着させるステップ、(b) 前記自由な強磁性層の上に接触する非磁性スペーサ層を付着させるステップ、(c) 前記スペーサ層の上に接触する前記ピン止め層として作用する第2の強磁性層を付着させるステップ及び(d) 前記第2の強磁性層の上に接触する、特有の設定温度を有する反強磁性材料の交換バイアス層を付着させるステップを含む、前記基板上に第1、第2、第3及び第4のスピバルブ素子を形成するステップと、前記スピバルブ素子の電気的な相互接続を可能にするように前記スピバルブ素子の各々と接触する第1の導電体を形成するステップと、前記基板上に前記スピバルブ素子と位置合わせされた第2の導電体を形成するステップと、前記第2の導電体を流れる電流が前記スピバルブ素子を流れるのを阻止するために前記スピバルブ素子及び前記第2の導電体の間に絶縁層を形成するステップと、前記第2の強磁性層及び交換バイアス層の各々の磁化を方向付ける関連した磁界を生成する固定電流を前記第2の導電体を通して付加するステップと、前記固定電流を付加する間、前記交換バイアス層の温度を前記設定温度よりも高くなるように制御するステップとを含む、製造方法。

(22) 固定電流の付加中、交換バイアス層の温度を前記設定温度よりも下げることににより、前記交換バイアス層の各々の磁化方向を固定するステップと、その後、前記固定電流を遮断することにより、前記第2の強磁性層の各々の磁化方向をその関連交換バイアス層でピン止めるステップとを更に含む、上記(21)に記載の製造方法。

(23) 温度を制御する前記ステップは、交換バイアス層の温度を前記設定温度よりも上げるのに十分な大きさの固定電流を付加し、そして温度を下げる前記ステップは前記基板を冷却するステップを含む、上記(22)に記載の製造方法。

(24) 温度を制御する前記ステップは前記交換バイアス層の温度を前記設定温度よりも上げるのに十分な大きさの固定電流を付加するステップを含み、そして温度を下げる前記ステップは前記基板を冷却するステップを含む、上記(22)に記載の製造方法。

(25) 前記交換バイアス層がNi-Mnで形成される場合に、温度を制御する前記ステップは十分なレベルの交換バイアスを得る時間のあいた前記交換バイアス層の温度を前記設定温度よりも上に維持するステップを含み、そ

して更に、その後、前記固定電流を遮断して前記交換バイアス層の温度を前記設定温度よりも下げるステップを含む、上記(21)に記載の方法。

(26) 各スピナルバルブ素子を形成する前記ステップは、前記交換バイアス層を付着させるステップの後に、前記スピナルバルブ素子のパターンを有するマスクを付着させ、そして前に付着された層を前記マスクを介したエッチングにより除去するステップを更に含む、上記(21)に記載の方法。

【図面の簡単な説明】

【図1】SV素子を構成する種々の層の磁気方向を示すブリッジ回路磁界センサーの概要図である。

【図2】付加された又は外部の磁界の関数としてセンスされる1つのSV素子の抵抗レスポンスのグラフを示す図である。

【図3】磁界の関数としてセンスされるブリッジ回路磁界センサーの測定された電圧レスポンスのグラフを示す図である。

【図4】基板上に形成されたブリッジ回路磁界センサー構成素子層の平面図である。

【図5】基板上に形成された複数の層を示すブリッジ回路磁界センサーの分解組立図である。

【図6】図4の断面X-Xにより描かれたブリッジ回路磁界センサーの断面図である。

【図7】ブリッジ回路磁界センサーの構成に用いられるタイプの典型的なSV素子を形成する、種々の製作段階での層を示す図である。

【図8】ブリッジ回路磁界センサーの構成に用いられる*

*タイプの典型的なSV素子を形成する、種々の製作段階での層を示す図である。

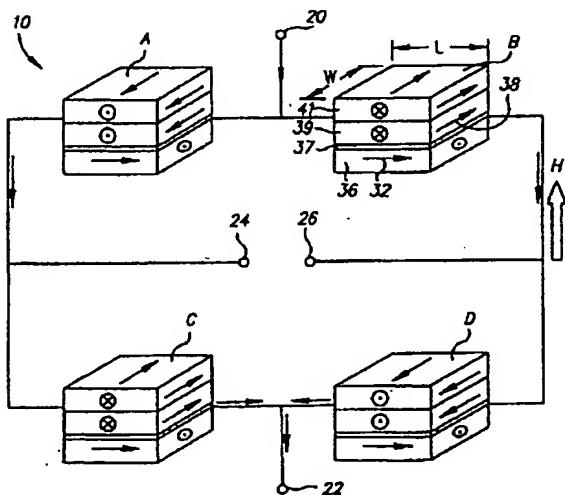
【図9】ブリッジ回路磁界センサーの構成に用いられるタイプの典型的なSV素子を形成する、種々の製作段階での層を示す図である。

【図10】ブリッジ回路磁界センサーの構成に用いられるタイプの典型的なSV素子を形成する、種々の製作段階での層を示す図である。

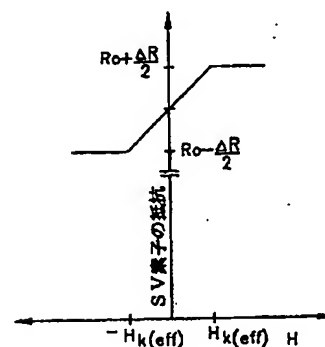
【符号の説明】

10	10	ブリッジ回路磁界センサー
	20	端子リード
	22	端子リード
	24	端子リード
	26	端子リード
	32	磁化軸
	36	強磁性層
	37	非磁性スペーサ層
	38	磁化軸
	39	強磁性層
20	41	反強磁性層
	50	基板
	60	絶縁層
	70	導電性のSV素子固定層
	72	リード
	74	リード
	76	リード
	78	リード
	80	絶縁層

【図1】



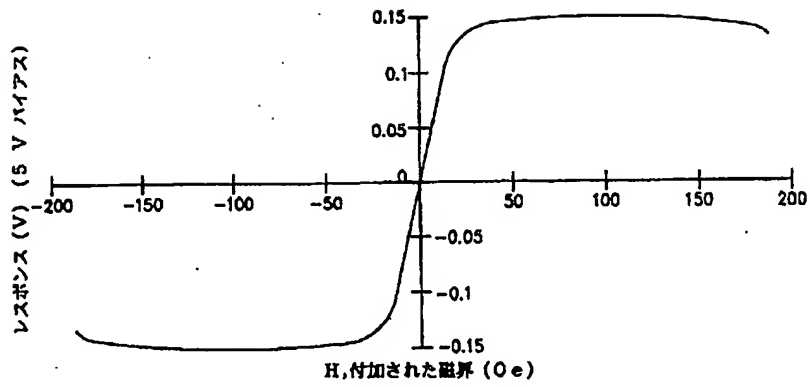
【図2】



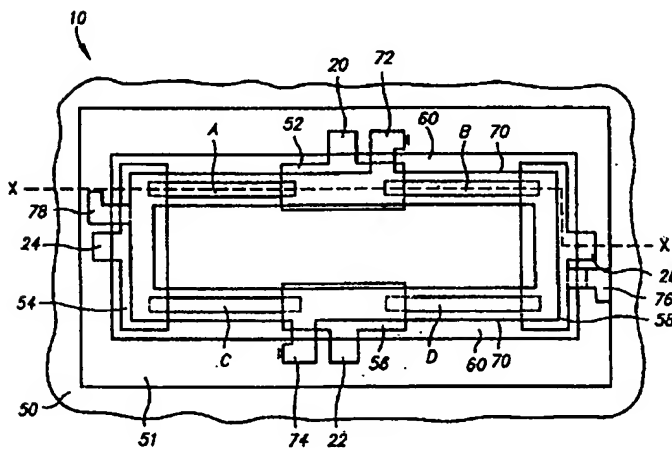
【図9】



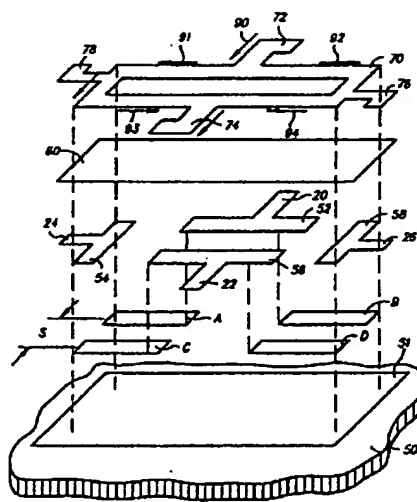
【図3】



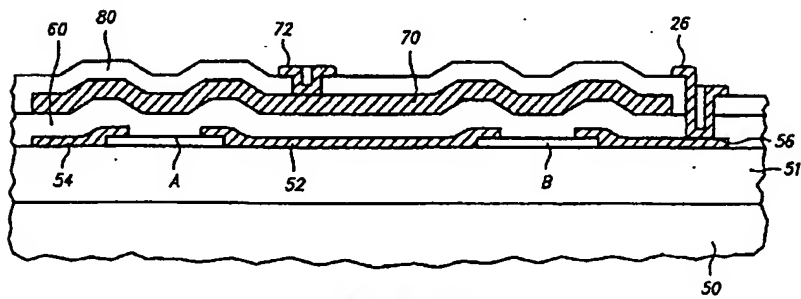
【図4】



【図5】

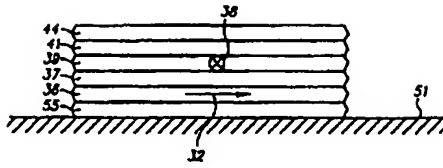


【図6】

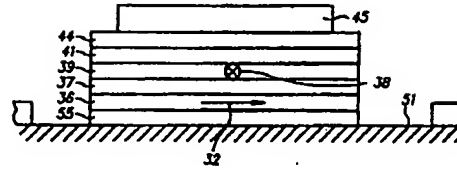


断面 X-X

【図7】



【図8】



【図10】



フロントページの続き

(72)発明者 ロバート・エドワード・フォンタナ、ジュニア
アメリカ合衆国カリフォルニア州、サン・ノゼ、ノースリッジ・ドライブ 6596

(72)発明者 バージル・シモン・スベリオス
アメリカ合衆国カリフォルニア州、サン・ノゼ、セント・ジュリー・ドライブ 351
(72)発明者 ジャクリン・ケトナー・スポング
アメリカ合衆国カリフォルニア州、サン・ノゼ、キュリー・ドライブ 452